

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2003-068879
 (43)Date of publication of application : 07.03.2003

(51)Int.CI. H01L 21/8242
 H01L 21/28
 H01L 21/768
 H01L 27/108

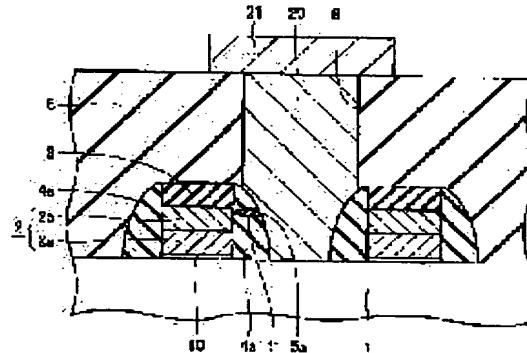
(21)Application number : 2001-255737 (71)Applicant : MITSUBISHI ELECTRIC CORP
 (22)Date of filing : 27.08.2001 (72)Inventor : KINUGASA AKINORI
 SHIRATAKE SHIGERU

(54) SEMICONDUCTOR DEVICE AND METHOD OF MANUFACTURING THE SAME

(57)Abstract:

PROBLEM TO BE SOLVED: To provide a semiconductor device in which electrical short circuit is controlled, and a method of manufacturing the same.

SOLUTION: A silicon oxide film 4 is formed on a semiconductor substrate covering a gate electrode 2. Next, a silicon thermal oxide film 5 is formed on the surface of the silicon nitride film 4 by executing the thermal oxidation process to the silicon oxide film 4. When pin holes exist on the silicon nitride film 4, the insides of these pin holes are oxidized and are filled with the silicon oxide film. Next, a silicon nitride film 4a is formed by conducting unisotropic etching to the silicon nitride film. Thereafter, a contact hole 8 is formed to the silicon oxide film 6 formed on the semiconductor substrate. A bit line contact 20 is formed in the contact hole 8 and moreover a bit line 21 is also formed therein.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's

BEST AVAILABLE COPY

[decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

(10) 日本国特許庁 (JP)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開2003-68879

(P2003-68879A)

(43) 公開日 平成15年3月7日(2003.3.7)

(51) Int CL
H 01 L 21/8242
21/28

21/768
27/108

検索記号

F 1
H 01 L 21/28

27/10
21/60

チート(参考)
L 4 M 104
M 5 F 038
S 8 1 B 5 F 083
D

審査請求 未請求 請求項の数15 O.L (全 18 頁)

(21) 出願番号 特願2001-255737(P2001-255737)
(22) 出願日 平成13年8月27日(2001.8.27)

(71) 出願人 00006013
三豊電機株式会社
東京都千代田区丸の内二丁目2番8号
(72) 発明者 次空 彰則
東京都千代田区丸の内二丁目2番8号 三
豊電機株式会社内
(73) 発明者 白竹 哲
東京都千代田区丸の内二丁目2番8号 三
豊電機株式会社内
(74) 代理人 100059746
弁理士 深見 久郎 (外4名)

最終頁に続く

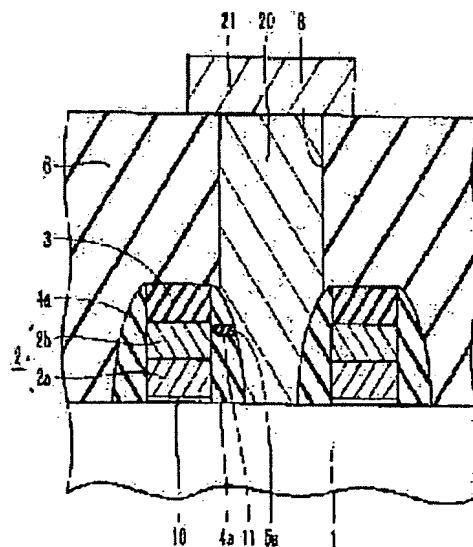
(54) 【発明の名称】 半導体装置およびその製造方法

(57) 【要約】

【課題】 電気的短絡の抑制される半導体装置とその製造方法を提供する。

【解決手段】 ゲート電極2を複数枚重ねて形成する。各ゲート電極2は、半導体基板1上にシリコン空化膜4を形成する。次に、シリコン空化膜4に熱酸化処理を施すことにより、シリコン空化膜4の表面にシリコン熱酸化膜5を形成する。シリコン空化膜4にビンホールが存在する場合には、そのビンホール内も熱酸化され、シリコン熱酸化膜5により埋められる。次に、シリコン空化膜4に異方性エッチングを施すことにより、シリコン空化膜4を形成する。その後、半導体基板1上に形成したシリコン熱酸化膜5にコンタクトホール8を形成する。そのコンタクトホール8内に、ピットラインコンタクト部20を形成し、さらにピットライ

ン21を形成する。



【特許請求の範囲】

【請求項 1】 半導体基板の主表面上に形成された側面と上面を有する第1導電部と、
前記第1導電部の前記側面上および前記表面上を覆うように形成された第1絶縁膜と、
前記第1絶縁膜を覆うように前記半導体基板上に形成された前記第1絶縁膜とはエッチング特性の異なる第2絶縁膜と、
前記第1絶縁膜と平面的にオーバラップし、前記半導体基板の表面を露出するように前記第2絶縁膜に形成された開口部と、
前記開口部内に形成された第2導電部とを備え、
前記第1絶縁膜には前記第1導電部と前記第2導電部との間を空洞が実質的に貫通するのを防止するための処理が施されていることで、前記第1導電部と前記第2導電部との電気的な短絡が阻止された、半導体装置。
【請求項 2】 前記第1絶縁膜は少なくとも2層からなる、請求項1記載の半導体装置。
【請求項 3】 前記第1絶縁膜に熱酸化処理を施すことにより形成された熱酸化部を含む、請求項1または2に記載の半導体装置。
【請求項 4】 前記第1絶縁膜にピンホールが存在する場合に、
前記熱酸化部は前記ピンホール内に形成されている、請求項3記載の半導体装置。
【請求項 5】 前記熱酸化部は、前記第1絶縁膜の表面に形成された表面熱酸化部を含む、請求項3または4に記載の半導体装置。
【請求項 6】 前記第1導電部はゲート電極を含み、
前記第2導電部はピットラインコンタクト部を含む、請求項1～5のいずれかに記載の半導体装置。
【請求項 7】 前記第1絶縁膜はシリコン変化膜であり、
前記第2絶縁膜はシリコン酸化膜である、請求項1～6のいずれかに記載の半導体装置。
【請求項 8】 半導体基板の主表面上に側面と上面を有する第1導電部を形成する工程と、
前記第1導電部の前記側面上および前記表面上を覆うように第1絶縁膜を形成する工程と、
前記第1絶縁膜を覆うように前記半導体基板上に前記第1絶縁膜とはエッチング特性の異なる第2絶縁膜を形成する工程と、
前記第1絶縁膜と平面的にオーバラップし、前記半導体基板の表面を露出するように前記第2絶縁膜に開口部を形成する工程と、
前記開口部内に第2導電部を形成する工程とを有し、
前記第1絶縁膜を形成する工程は、前記第1導電部と前記第2導電部との電気的な短絡を阻止するために、前記第1導電部と前記第2導電部との間を空洞が実質的に貫通するのを防止する所定の処理を施す工程を備えた、半

導体装置の製造方法。

【請求項 9】 前記第1絶縁膜を形成する工程は、前記所定の処理として前記第1絶縁膜を少なくとも2層形成する工程を含む、請求項8記載の半導体装置の製造方法。

【請求項 10】 前記第1絶縁膜を形成する工程は、前記所定の処理として熱酸化処理を施すことにより熱酸化部を形成する工程を含む、請求項8または9に記載の半導体装置の製造方法。

【請求項 11】 前記熱酸化部を形成する工程は、前記第1絶縁膜を形成する際に前記第1絶縁膜中にピンホールが生じた場合に、前記ピンホール内に前記熱酸化部を形成する工程を含む、請求項10記載の半導体装置の製造方法。

【請求項 12】 前記熱酸化部を形成する工程は、前記第1絶縁膜の表面に表面熱酸化部を形成する工程を含む、請求項10または11に記載の半導体装置の製造方法。

【請求項 13】 前記熱酸化部を形成する工程の後、前記表面熱酸化部を除去する工程を含む、請求項12記載の半導体装置の製造方法。

【請求項 14】 前記第1導電部を形成する工程はゲート電極を形成する工程を含み、

前記第2導電部を形成する工程はピットラインコンタクト部を形成する工程を含む、請求項8～13のいずれかに記載の半導体装置の製造方法。

【請求項 15】 前記第1絶縁膜はシリコン変化膜であり、

前記第2絶縁膜はシリコン酸化膜である、請求項8～14のいずれかに記載の半導体装置の製造方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】 本発明は半導体装置およびその製造方法に関し、特に、電気的短絡の抑制される半導体装置と、その製造方法に関するものである。

【0002】

【従来の技術】 従来の半導体装置の一例としてダイナミック・ランダム・アクセス・メモリ(以下「DRAM」と記す)について説明する。代表的なDRAMのメモリセルは、図3-7に示すように、1つのスイッチングトランジスタTと1つのキャパシタCから構成される。そのメモリセルのスイッチングトランジスタTのゲートにはワード線102が接続され、一方のソース・ドレインにはピットライン120が接続され、他方のソース・ドレインにはキャパシタCが接続されている。

【0003】 次に、メモリセルにおけるスイッチングトランジスタ近傍の構造の一例について説明する。図3-8に示すように、半導体基板101上にゲート絶縁膜110を介在させてポリシリコン膜102aおよびタンクスタンシリサイド膜102bを含むゲート電極102が形

成されている。なお、そのゲート電極102を挟んで位置する半導体基板101の一方の領域と他方の領域とに、ソース・ドレイン領域(図示せず)がそれぞれ形成されている。

【0004】そのゲート電極102上にシリコン窒化膜103が形成されている。そのシリコン窒化膜103およびゲート電極102の側面上にサイドウォール絶縁膜としてのシリコン窒化膜104が形成されている。そのシリコン窒化膜104を積み重ねて半導体基板101上にシリコン酸化膜106が形成されている。

【0005】そのシリコン酸化膜106には、ソース・ドレイン領域と電気的に接続されるピットラインコンタクト部120が形成されている。シリコン酸化膜106上には、ピットラインコンタクト部120と電気的に接続されるピットライン121が形成されている。従来のDRAMのメモリセルにおけるスイッチングトランジスタの近傍部分は上記のように構成される。

【0006】

【発明が解決しようとする課題】しかしながら、上述した従来のDRAMにおいては次に示すような問題点があった。ゲート電極102の側面上に位置するサイドウォール絶縁膜としてのシリコン窒化膜104は、ゲート電極102およびシリコン窒化膜103を積み重ねて半導体基板101上に形成されたシリコン窒化膜に異方性エッチングを施すことによって形成される。

【0007】このシリコン窒化膜104を形成する際に、シリコン窒化膜104中に発生する気泡や水分または異物に起因して、図3Bに示すように、シリコン窒化膜104にビンホール111が生じることがある。

【0008】このようなビンホール111が存在することで、ビンホール111とゲート電極102との間に位置するシリコン窒化膜104が極めて薄くなっている部分Aができることがある。このような状態でピットラインコンタクト部120が形成された場合、このシリコン窒化膜が薄くなっている部分Aにおいて電界が生じやすくなる。

【0009】そのため、このシリコン窒化膜104におけるこの部分Aを介して、図3Dに示すように、ゲート電極102とピットライン120との間に電気的な短絡(矢印130)が生じることがあった。また、ビンホール111が比較的大きい場合には、直接ゲート電極102とピットラインコンタクト部120との間に電気的な短絡が生じることがあった。その結果、DRAMが所望の動作を行うことができなくなる問題があった。

【0010】本発明は上記問題点を解決するためになされたものであり、一つの目的は電気的短絡の抑制される半導体装置を提供することであり、他の目的はそのような半導体装置の製造方法を提供することである。

【0011】

【課題を解決するための手段】本発明の1つの局面にお

ける半導体装置は、第1電極部と第1絶縁膜と第2絶縁膜と開口部と第2導電部と短絡防止部を備えている。第1導電部は、半導体基板の主表面上に形成された側面と上面を有する。第1絶縁膜は、第1導電部の側面上および上面を覆うように形成されている。第2絶縁膜は、第1絶縁膜を覆うように半導体基板上に形成され、第1絶縁膜とはエッジニング特性が異なる。開口部は、第1絶縁膜と平面的にオーバラップし、半導体基板の表面を露出するよう[第2絶縁膜]に形成されている。第2導電部は、開口部内に形成されている。第1絶縁膜には第1導電部と第2導電部との間を空洞が実質的に貫通するのを防止するための処理が施されていることで、第1導電部と第2導電部との電気的な短絡が阻止されている。

【0012】この構成によれば、第1絶縁膜に第1導電部と第2導電部との間を空洞が実質的に貫通するのを防止するための処理が施されている。これにより、たとえば第1絶縁膜を形成する際に生じるビンホールが第1導電部と第2導電部との間を貫通するようなことが防止され、第1導電部と第2導電部との電気的な短絡を阻止することになる。その結果、半導体装置の電気的な動作が安定する。

【0013】好ましくは、第1絶縁膜は少なくとも2層からなる、この場合には、第1絶縁膜のうち1層目の層に生じたビンホールは2層目の層によって被覆されることになる。これにより、第1導電部の近傍の第1絶縁膜の部分から第2導電部の近傍の第1絶縁膜の部分にまで到達するような比較的大きなビンホールの形成が抑制され、第1導電部と第2導電部との電気的な短絡を効果的に阻止することができる。

【0014】また好ましくは、第1絶縁膜に熱酸化処理を施すことにより形成された熱酸化部を含んでいる。

【0015】これにより、第1導電部と第2導電部との間に熱酸化部が位置することになり第1導電部と第2導電部との絶縁耐性が向上して、両者の電気的な短絡を確実に阻止することができる。

【0016】さらに好ましくは、第1絶縁膜にビンホールが存在する場合に、熱酸化部はそのビンホール内に形成されている。

【0017】この場合には、たとえばビンホールと第1導電部との間に位置する第1絶縁膜が極めて薄くなっている部分ができるても、ビンホール内が熱酸化部によって充填されていることで、ビンホール部分近傍において電界が発生することが抑制される。

【0018】また好ましくは、熱酸化部は、第1絶縁膜の表面に位置する表面熱酸化部を含んでいる。

【0019】これにより、第1導電部と第2導電部との間に第1絶縁膜に加えて表面熱酸化部が位置することになり、第1導電部と第2導電部との絶縁耐性がさらに向上して、両者の電気的な短絡をより確実に阻止することができる。

【0020】好ましくは、第1導電部はゲート電極を含み、第2導電部はピットラインコンタクト部を含んでいる。

【0021】この場合には、たとえばDRAMなどのメモリ素子を有する半導体装置の電気的動作の安定性が向上する。

【0022】より具体的な膜種として、第1絶縁膜はシリコン空化膜であり、第2絶縁膜はシリコン酸化膜である。

【0023】この場合には、シリコン空化膜を実質的にエッチングすることなくシリコン酸化膜だけをエッチングすることができ、自己整合的に容易に開口部を形成することができる。

【0024】本発明の他の局面における半導体装置の製造方法は以下の工程を備えている。半導体基板の主表面上に側面と上面を有する第1導電部を形成する。その第1導電部の側面および上面を覆うように第1絶縁膜を形成する。第1絶縁膜を覆うように半導体基板上に第1絶縁膜とはエッチング特性の異なる第2絶縁膜を形成する。第1絶縁膜と平面的にオーバラップし、半導体基板の表面を露出するように第2絶縁膜に開口部を形成する。その開口部内に第2導電部を形成する。第1絶縁膜を形成する工程は、第1導電部と第2導電部との電気的な短絡を阻止するために、第1導電部と第2導電部との間を空洞が実質的に貫通するのを防止する所定の処理を施す工程を備えている。

【0025】この半導体装置の製造方法によれば、第1絶縁膜を形成する工程において、第1絶縁膜に第1導電部と第2導電部との間を空洞が実質的に貫通するのを防止する所定の処理が施される。これにより、たとえば第1絶縁膜を形成する際に生じるピンホールが第1導電部と第2導電部との間を貫通するようことが防止され、第1導電部と第2導電部との電気的な短絡を阻止することになる。その結果、電気的動作の高い半導体装置を得られる。

【0026】好ましくは、第1絶縁膜を形成する工程は、所定の処理として第1絶縁膜を少なくとも2層形成する工程を含んでいる。

【0027】これにより、仮に第1絶縁膜のうち1層目の層にピンホールが生じたとしても、そのピンホールは2層目の層によって覆われることになる。これにより、第1導電部の近傍の第1絶縁膜の部分から第2導電部の近傍の第1絶縁膜の部分にまで到達するような比較的大きなピンホールの形成が抑制されて、第1導電部と第2導電部との電気的な短絡を効果的に阻止することができる。

【0028】また好ましくは、第1絶縁膜を形成する工程は、所定の処理として第1絶縁膜に熱酸化処理を施すことにより熱酸化部を形成する工程を含んでいる。

【0029】これにより、第1導電部と第2導電部との

間に熱酸化部が形成されて第1導電部と第2導電部との絶縁耐性が向上し、両者の電気的な短絡を確実に阻止することができる。

【0030】さらに好ましくは、その熱酸化部を形成する工程は、第1絶縁膜を形成する際に第1絶縁膜中にピンホールが生じた場合に、そのピンホール内に熱酸化部を形成する工程を含んでいる。

【0031】これにより、たとえばピンホールと第1導電部との間に位置する第1絶縁膜が極めて薄くなっている部分ができる。ピンホール内に熱酸化部が形成されることで、ピンホール部分近傍において電界が発生することが抑制される。

【0032】また好ましくは、熱酸化部を形成する工程は、第1絶縁膜の表面に熱酸化部を形成する工程を含んでいる。

【0033】これにより、第1導電部と第2導電部との間に第1絶縁膜に加えて表面熱酸化部が形成されて第1導電部と第2導電部との絶縁耐性がさらに向上し、両者の電気的な短絡をより確実に阻止することができる。

【0034】さらに好ましくは、熱酸化部を形成する工程の後、表面酸化部を除去する工程を含んでいる。

【0035】熱酸化部を形成する際には、たとえば開口部の底に露出した半導体基板の表面にも表面酸化部が形成される。このような半導体基板の表面に形成された表面酸化部を除去することで、第2導電部と半導体基板との所定の電気的な接触が可能になる。また、表面酸化部をたとえばウエットエッチングにより除去する際に、ピンホールに形成された熱酸化部が除去されることないので、第1導電部と第2導電部との電気的な短絡を防止する効果も低下しない。

【0036】好ましくは、第1導電部を形成する工程は、ゲート電極を形成する工程を含み、第2導電部を形成する工程は、ピットラインコンタクト部を形成する工程を含んでいる。

【0037】これにより、たとえばDRAMなどのメモリ素子を有する半導体装置の電気的動作の安定性が向上する。

【0038】具体的な膜種として、第1絶縁膜はシリコン空化膜であり、第2絶縁膜はシリコン酸化膜であることが好ましい。

【0039】これにより、シリコン空化膜を実質的にエッチングすることなくシリコン酸化膜だけをエッチングすることができ、自己整合的に容易に開口部を形成することができる。

【0040】

【説明の実施の形態】実施の形態1

本発明の実施の形態1に係るDRAMの製造方法とその方法によって得られる半導体装置について説明する。まず図1に示すように、半導体基板1上にゲート絶縁膜10を介してゲート電極となるたとえばポリシリコン膜お

よりタンクステンシリサイド膜を頂次形成する。そのタンクステンシリサイド膜上に、たとえばCVD (Chemical Vapor Deposition) 法等によりシリコン空化膜を形成する。そのシリコン空化膜上に所定のレジストパターン (図示せず) を形成し、そのレジストパターンをマスクとしてシリコン空化膜に異方性エッチングを施すことにより、ゲート電極をバーニングするためのマスク材となるシリコン空化膜 3を形成する。

【0041】そのシリコン空化膜 3をマスクとしてタンクステンシリコン膜およびポリシリコン膜に頂次異方性エッチングを施すことにより、ポリシリコン膜 2aおよびタンクステンシリコン膜 2bを含むゲート電極 2を形成する。次に、たとえばCVD法によりシリコン空化膜 3およびゲート電極 2を覆うように、半導体基板 1上にシリコン空化膜 4を形成する。

【0042】次に、図2に示すように、そのシリコン空化膜 4に熱酸化処理を施すことにより、シリコン空化膜 4の表面にシリコン熱酸化膜 5を形成する。このとき、後述するようにシリコン空化膜 4にピンホールが存在するような場合には、そのピンホール内も酸化されてシリコン熱酸化膜により埋め込まれることになる。

【0043】次に、図3に示すように、シリコン熱酸化膜 5によって覆われたシリコン空化膜 4の全面に異方性エッチングを施すことにより、ゲート電極 2aおよびシリコン空化膜 3の側面上にサイドウォール絶縁膜としてのシリコン空化膜 4aを形成する。

【0044】次に、図4に示すように、シリコン空化膜 4a、3およびゲート電極 2を覆うように、半導体基板 1上に、CVD法によりシリコン空化膜とはエッチング特性の異なるたとえばBPTETO.S (Boro Phospho Tetra Ethyl Ortho Silicate glass) 膜などのシリコン酸化膜 6を形成する。

【0045】次に、図5に示すように、シリコン熱酸化膜 5上に所定のレジストパターン 7を形成する。そのレジストパターン 7をマスクとしてシリコン酸化膜 6に異方性エッチングを施すことにより、シリコン基板 1の表面を露出するコンタクトホール 8を形成する。その後、レジストパターン 7を除去する。

【0046】なお、コンタクトホール 8は、平面的にシリコン空化膜 4aとオーバラップするように配置される。そのため、シリコン空化膜 4aが実質的にエッチングされることなくシリコン酸化膜 6がエッチングされ、コンタクトホール 8が自己整合的に容易に形成される。

【0047】次に、そのコンタクトホール 8を埋めるように、シリコン酸化膜 6上にたとえばCVD法によりドープトポリシリコン膜 (図示せず) を形成する。その後、図6に示すように、そのドープトポリシリコン膜の全面に異方性エッチングを施してシリコン酸化膜 6の上面に位置するドープトポリシリコン膜を除去すること

により、コンタクトホール 8内にドープトポリシリコン膜を残してピットラインコンタクト部 20を形成する。

【0048】次に、図7に示すように、シリコン酸化膜 6上にピットラインコンタクト部 20と電気的に接続されるピットライン 21を形成する。これにより、メモリセルにおけるトランジスタの主要部分が形成される。このDRAMでは、この後、キャパシタや各メモリセルを電気的に接続する金属配線等 (いずれも図示せず) が形成されることになる。なお、メモリセルの等価回路は図8に示す回路と同じである。

【0049】上述したDRAMの製造方法では、ゲート電極 2の側面上に形成されるサイドウォール絶縁膜としてのシリコン空化膜 4aは、図1に示すようにゲート電極 2等を覆うように形成したシリコン空化膜 4に異方性エッチングを施すことによって形成される。

【0050】図1に示す工程においてシリコン空化膜 4を形成する際には、前述したように、シリコン空化膜 4中に発生する気泡や水分または異物に起因してシリコン空化膜 4にピンホールが生じることがある。シリコン空化膜 4は、シリコン熱酸化膜などの他の絶縁膜と比べると比較的硬い膜質である。そのため、このピンホールは後の工程における処理によっては影響を受けにくく、ピンホールとしてシリコン空化膜 4中にそのまま残ることがある。

【0051】そこで、図8に示すように、シリコン空化膜 4を形成した後に熱酸化処理を施す。熱酸化処理を施すことで、図8に示すように、シリコン空化膜 4の表面にはシリコン熱酸化膜 5が形成されるとともに、シリコン空化膜 4にピンホール 11が存在している場合には、そのピンホール 11内がシリコン熱酸化膜 5aによって埋め込まれることになる。

【0052】この熱酸化処理の後は、ピンホール 11内がシリコン熱酸化膜 5aによって埋め込まれた状態で、上述した図8～図7に示す各処理が半導体基板に施されることになる。

【0053】そして、図9に示すように、ピットライン 21が形成された段階においても、シリコン空化膜 4aに残存するピンホール 11内はシリコン熱酸化膜 5aによって埋め込まれた状態が維持されている。

【0054】これにより、図3～6に示す従来のDRAMのようにピンホール 11とゲート電極 102との間に位置するシリコン空化膜 104が極めて難しくなっている部分Aができる。本半導体装置では、ピンホール 11内がシリコン熱酸化膜 5aによって埋め込まれていることで、ピンホール 11部分近傍において電界が発生することが抑制される。

【0055】その結果、ピットラインコンタクト部 20を介してゲート電極 2とピットライン 21との電気的な短絡を抑制することができ、所望の動作を確実に行うことのできるDRAMが得られる。

【0056】実施の形態2

本発明の実施の形態2に係るDRAMの製造方法とその方法によって得られる半導体装置について説明する。前述した図1に示す工程と同様の工程を経て、図10に示すように、ゲート電極2等を積うように半導体基板1上にシリコン空化膜4を形成する。次に、図11に示すように、シリコン空化膜4の全面に異方性エッチングを施すことにより、ゲート電極2およびシリコン空化膜3の側面上にサイドウォール絶縁膜としてのシリコン空化膜4aを形成する。

【0057】次に、図12に示すように、シリコン空化膜4a、3に熱酸化処理を施すことにより、シリコン空化膜4a、3の表面にシリコン熱酸化膜5を形成する。このとき、後述するようにシリコン空化膜4に残存するピンホールにおいては、そのピンホール内も酸化されてシリコン熱酸化膜により埋め込まれることになる。

【0058】次に、図13に示すように、シリコン熱酸化膜5を積うように、半導体基板1上に、CVD法によりシリコン空化膜4aとはエッチング特性の異なるたとえばBPTETO5膜などのシリコン酸化膜6を形成する。

【0059】次に、図14に示すように、シリコン酸化膜6上に所定のレジストパターン7を形成する。そのレジストパターン7をマスクとしてシリコン酸化膜6に異方性エッチングを施すことにより、シリコン基板1の表面を露出するコンタクトホール8を形成する。その後、レジストパターン7を除去する。

【0060】その後、前述した図6および図7に示す工程と同様の処理を施すことにより、ピットラインコンタクト部20およびピットライン21を形成する。これにより、図15に示すように、メモリセルにおけるトランジスタの主要部分が形成される。

【0061】上述したDRAMの製造方法では、図16に示すように、シリコン空化膜4を形成する際にシリコン空化膜4中にピンホールが生じたとしても、シリコン空化膜4aを形成した後に熱酸化処理を施すことによって、ピンホール内がシリコン熱酸化膜5aによって埋め込まれることになる。

【0062】これにより、図17に示すように、本半導体装置ではピンホール11内がシリコン熱酸化膜5aによって埋め込まれていることで、すでに説明したように、ピンホール11部分近傍において電界が発生することが抑制される。その結果、ピットラインコンタクト部20を介してゲート電極2とピットライン21との電気的な短絡を抑制することができ、所望の動作を確実に行うことのできるDRAMが得られる。

【0063】前述した実施の形態1では、シリコン空化膜4を形成した後シリコン空化膜4の全面に異方性エッチングを施す前に熱酸化処理が施されていた。この場合には、シリコン空化膜4を形成する際に生じたピンホー

ルの形状によっては、熱酸化処理によってピンホールの奥の部分がシリコン熱酸化膜により埋め込まれずに空洞のままの状態であることが想定される。

【0064】そのような場合には、シリコン空化膜4の全面に異方性エッチングを施した際にピンホールの空洞部分が露出するおそれがある。その状態でピットラインコンタクト部を形成すると、従来のDRAMと同様にピンホール11とゲート電極2との間に位置するシリコン空化膜4aが極めて薄くなっている部分において電界が生じて、ピットラインコンタクト部20を介してゲート電極2とピットライン21との電気的な短絡が起ることが想定される。

【0065】これに対して、上述した方法では、サイドウォール絶縁膜としてのシリコン空化膜4aを形成した後にシリコン空化膜4aに熱酸化処理を施すことでの、図17に示すよう、シリコン空化膜4aに残存するピンホール11内に確実にシリコン熱酸化膜5aが形成され、シリコン熱酸化膜によって埋め込まれていないピンホールが露出するようなことがなくなる。

【0066】その結果、ゲート電極2とピットライン21との電気的な短絡を確実に防止することができる。

【0067】実施の形態3

本発明の実施の形態3に係るDRAMの製造方法とその方法によって得られる半導体装置について説明する。前述した図10および図11に示す工程と同様の工程を経た後、図18に示すように、シリコン空化膜4a、3を積うように、たとえばCVD法により半導体基板1上にさらにシリコン空化膜24を形成する。

【0068】次に、図19に示すように、そのシリコン空化膜24の全面に異方性エッチングを施すことにより、シリコン空化膜4aの表面上にサイドウォール絶縁膜としてのシリコン空化膜24aをさらに形成する。

【0069】その後、前述した図4～図7に示す工程と同様の処理を施すことにより、図20に示すように、ピットラインコンタクト部20およびピットライン21を形成する。これにより、メモリセルにおけるトランジスタの主要部分が形成される。

【0070】上述したDRAMの製造方法では、図18に示すように、シリコン空化膜4aを形成した後にそのシリコン空化膜4aを積うように、さらにシリコン空化膜24が形成される。

【0071】これにより、図21に示すように、本半導体装置ではシリコン空化膜4を形成する際に生じたピンホールがサイドウォール絶縁膜としてのシリコン空化膜4aにピンホール11aとして残存していても、シリコン空化膜24を形成することで、そのピンホール11aが塞がれることになる。

【0072】また、シリコン空化膜24を形成する際に生じたピンホール11aとシリコン空化膜4aに残存するピンホール11aとが接がることもなく、比較的大き

なピンホールが形成されるのを防止することができる。

【0073】これにより、図2-2に示すように、ゲート電極2の近傍のシリコン空化膜4-aの部分からビットラインコンタクト部20の近傍のシリコン空化膜4-aの部分にまで到達するようなピンホールが形成されることなくなり、ゲート電極2とビットラインコンタクト部20との間をピンホールが貫通するのを防止することができる。

【0074】その結果、ビットラインコンタクト部20を介してゲート電極2とビットライン21との電気的な短絡を抑制することができ、所望の動作を確実に行うことのできるDRAMが得られる。

【0075】実施の形態4

本発明の実施の形態4に係るDRAMの製造方法とその方法によって得られる半導体装置について説明する。前述した図1に示す工程と同様の工程を経て、図2-3に示すように、ゲート電極2等を覆うように半導体基板1上にシリコン空化膜4を形成する。

【0076】次に、図2-4に示すように、シリコン空化膜4の全面に異方性エッチングを施すことにより、ゲート電極2およびシリコン空化膜4の側面上にサイドウォール絶縁膜としてのシリコン空化膜4-aを形成する。

【0077】その後、図2-5に示すように、シリコン空化膜4-a、3およびゲート電極2を覆うように、半導体基板1上にシリコン空化膜4-a、3とはエッチング特性の異なるたとえばBPTEOS膜などのシリコン熱酸化膜6を形成する。そのシリコン熱酸化膜6上に所定のレジストパターン7を形成する。

【0078】次に、図2-6に示すように、そのレジストパターン7をマスクとしてシリコン熱酸化膜6に異方性エッチングを施すことにより、シリコン基板1の表面を露出するコントラクトホール8を形成する。その後、レジストパターン7を除去する。

【0079】次に、図2-7に示すように、熱酸化処理を施すことにより、コントラクトホール8内の表面を含むシリコン熱酸化膜6の表面およびシリコン空化膜4-aの表面にシリコン熱酸化膜9を形成する。このとき、後述するように露出したシリコン空化膜4-aにピンホールが残存するような場合には、そのピンホール内も酸化されてシリコン熱酸化膜により埋め込まれることになる。

【0080】次に、図2-8に示すように、シリコン空化膜4-a等の表面に形成されたシリコン熱酸化膜9を、たとえばウエットエッチングを施すことにより除去して、コントラクトホール8の底に位置する半導体基板1の領域の表面を露出する。

【0081】その後、前述した図6および図7に示す工程と同様の処理を施すことにより、ビットラインコンタクト部20およびビットライン21を形成する。これにより、図2-9に示すように、メモリセルにおけるトランジスタの主要部分が形成される。

【0082】上述したDRAMの製造方法では、図3-6に示すように、シリコン空化膜4を形成する際にシリコン空化膜4中にピンホールが生じたとしても、コントラクトホール8を形成した後に熱酸化処理を施すことによって、露出したシリコン空化膜4-aに残存するピンホール11内がシリコン熱酸化膜9によって埋め込まれることになる。また、シリコン熱酸化膜9を除去する際に、ピンホール11内に形成されたシリコン熱酸化膜9-aが除去されることもない。

【0083】これにより、図3-1に示すように、ピンホール11内がシリコン熱酸化膜9-aによって埋め込まれていることで、すでに説明したように、ピンホール11部分近傍において電界が発生することが抑制される。その結果、ビットラインコンタクト部20を介してゲート電極2とビットライン21との電気的な短絡を抑制することができ、所望の動作を確実に行うことのできるDRAMが得られる。

【0084】なお、この実施の形態では図2-8に示す工程においてシリコン熱酸化膜9をウエットエッチングにより除去する場合について説明したが、図3-2に示すように、異方性エッチングを施すことによってコントラクトホール8の底に半導体基板1の表面を露出させてもよい。

【0085】この場合には、シリコン熱酸化膜9のうち半導体基板の表面上やシリコン熱酸化膜9の表面上に位置するシリコン熱酸化膜9-aの部分が除去され、シリコン空化膜4-aの表面上やシリコン熱酸化膜9-aの側面上に位置するシリコン熱酸化膜9は、あまり除去されず残ることになる。

【0086】これにより、ビットラインコンタクト部20とシリコン空化膜4-aとの間にシリコン熱酸化膜9-aが介在することになり、ビットラインコンタクト部20とゲート電極2との绝缘耐性を向上することができる。

【0087】実施の形態5

本発明の実施の形態5に係るDRAMの製造方法とその方法によって得られる半導体装置について説明する。ここでは、実施の形態2において説明したシリコン空化膜4に熱酸化処理を施す方法と、実施の形態3において説明したシリコン空化膜2層形成する方法とを組み合わせた方法について説明する。

【0088】まず、前述した図1-9に示す工程の後、図3-3に示すように、熱酸化処理を施すことによりシリコン空化膜4-a、3等の表面にシリコン熱酸化膜5を形成する。

【0089】その後、前述した図4～図7に示す工程と同様の処理を施すことにより、図3-4に示すように、ビットラインコンタクト部20およびビットライン21を形成する。これにより、メモリセルにおけるトランジスタの主要部分が形成される。

【0090】上述したDRAMの製造方法では、図3-6

に示すように、シリコン塗化膜4-a上にさらにシリコン塗化膜2-4-aが形成される。これにより、シリコン塗化膜4を形成する際に生じたピンホールがサイドウォール絶縁膜としてのシリコン塗化膜4-aにピンホール11-aとして残存しても、シリコン塗化膜2-4-aを形成することで、そのピンホール11-aが塞がれることになる。

【00091】そして、シリコン塗化膜2-4-aを形成する際に生じたピンホールがピンホール11-bとして残存している場合、シリコン塗化膜2-4-aが形成された後に熱酸化処理が施されることによりピンホール11-b内にシリコン熱酸化膜5-aが形成され、ピンホール11-a内にもシリコン熱酸化膜5-aが形成されることになる。

【00092】また、コンタクトホール内に露出したシリコン熱酸化膜5-aを、たとえばウエットエッティングにより除去する際に、ピンホール11-b内に形成されたシリコン熱酸化膜5-aが除去されることもない。さらに、シリコン熱酸化膜5-aを除去することで、半導体基板1とピットライコンタクト部2-0とのコンタクト抵抗も低減することができる。

【00093】以上により、ピットライコンタクト部2-0とゲート電極2-1との絶縁耐性が向上し、ピットライコンタクト部2-0を介してゲート電極2-1とピットライコンタクト部2-1との電気的な短絡を確実に抑制することができ、所望の動作を確実に行うことのできるDRAMが得られる。

【00094】実施の形態6

本発明の実施の形態6に係るDRAMの製造方法とその方法によって得られる半導体装置について説明する。ここでは、実施の形態3において説明したシリコン塗化膜2-aを層形成する方法と実施の形態4において説明したピットライコンタクトホール開口後にシリコン塗化膜に熱酸化処理を施す方法とを組み合わせた方法について説明する。

【00095】まず、前述した図18および図19に示す工程を経て、図20に示す工程においてシリコン塗化膜6にコンタクトホール8を形成した後、熱酸化処理を施すことにより、図35に示すように、コンタクトホール8内の表面を含むシリコン塗化膜6の表面およびシリコン塗化膜2-4-aの表面に熱酸化膜9を形成する。

【00096】次に、図36に示すように、熱酸化膜9の全面に異方性エッチングを施すことにより、コンタクトホール8の底面に半導体基板1の表面を露出する。その後、ピットライコンタクト部2-0およびピットライコンタクト部2-1を形成する。これにより、メモリセルにおけるトランジスタの主要部分が形成される。

【00097】上述したDRAMの製造方法では、図35に示すように、シリコン塗化膜4-a上にさらにシリコン塗化膜2-4-aが形成される。これにより、シリコン塗化膜4を形成する際に生じたピンホールがサイドウォール

絶縁膜としてのシリコン塗化膜4-aにピンホール11-aとして残存していても、シリコン塗化膜2-4-aを形成することで、そのピンホール11-aが塞がれることになる。

【00098】そして、シリコン塗化膜2-4-aを形成する際に生じたピンホールがピンホール11-bとして残存している場合、コンタクトホール8が形成された後にシリコン塗化膜2-4-a等に熱酸化処理が施されることによりピンホール11-b内にシリコン熱酸化膜5-aが形成され、ピンホール11-a内にもシリコン熱酸化膜5-aが形成されることになる。

【00099】また、コンタクトホール8内に形成されたシリコン熱酸化膜5-aに異方性エッチングを施してコンタクトホール8の底面に半導体基板1を露出することで、シリコン塗化膜2-4-aの表面にはシリコン熱酸化膜9の一部9-aが残ることになる。

【0100】以上により、ピットライコンタクト部2-0とゲート電極2-1との絶縁耐性が向上し、ピットライコンタクト部2-0を介してゲート電極2-1とピットライコンタクト部2-1との電気的な短絡を確実に抑制することができ、所望の動作を確実に行うことのできるDRAMが得られる。

【0101】一般にDRAMにおいては、通常の検査ではスクリーニングすることができない不良をあらかじめ検出するため、加速評価(Burn-in)が行われる。この加速評価において不良が認められて、そのDRAMに対して不良解析を行っても、その不良を持続することができないことがある。特に、このゲート電極とピットライコンタクト部間の電気的な短絡は、実デバイスにおいて発見することが困難な不良モードとされている。

【0102】各実施の形態においてそれぞれ説明したように、本半導体装置の製造方法ではその不良の原因と考えられているピンホールに起因する電気的な短絡を効果的に阻止することができる。

【0103】なお、上記各実施の形態においては、半導体装置としてDRAMを例に挙げて説明した。ゲート電極のような一導電部とこの一導電部を覆う所定の絶縁膜、その所定の絶縁膜を覆う層間絶縁膜を有し、その層間絶縁膜に対して少なくとも所定の絶縁膜と平面的にオーバラップするように形成されたコンタクト部のような他の導電部を備えた半導体装置であれば、DRAMに限らず、たとえばSRAMのような半導体装置であってもよい。

【0104】今回開示された実施の形態はすべての点で例示であって、制限的なものではないと考えらるべきである。本発明は上記の説明ではなくて特許請求の範囲によって示され、特許請求の範囲と均等の意味および範囲内でのすべての変更が含まれることが意図される。

【0105】

【発明の効果】本発明の1つの局面における半導体装置

によれば、第1絶縁膜に第1導電部と第2導電部との間を空洞が実質的に貫通するのを防止するための処理が施されている。これにより、たとえば第1絶縁膜を形成する際に生じるピンホールが第1導電部と第2導電部との間を貫通するようなことが防止されて、第1導電部と第2導電部との電気的な短絡を阻止することになる。その結果、半導体装置の電気的な動作が安定する。

【0106】好ましくは、第1絶縁膜は少なくとも2層からなることで、この場合には、第1絶縁膜のうち1層目の層に生じたピンホールは2層目の層によって覆われることになる。これにより、第1導電部の近傍の第1絶縁膜の部分から第2導電部の近傍の第1絶縁膜の部分にまで到達するような比較的大きなピンホールの形成が抑制され、第1導電部と第2導電部との電気的な短絡を効果的に阻止することができる。

【0107】また好ましくは、第1絶縁膜に熱酸化処理を施すことにより形成された熱酸化部を含んでいることにより、第1導電部と第2導電部との間に熱酸化部が位置することになり第1導電部と第2導電部との絶縁耐性が向上して、両者の電気的な短絡を確実に阻止することができる。

【0108】さらに好ましくは、第1絶縁膜にピンホールが存在する場合に、熱酸化部はそのピンホール内に形成されていることで、この場合には、たとえばピンホールと第1導電部との間に位置する第1絶縁膜が極めて薄くなっている部分ができる、ピンホール内に熱酸化部によって充填されていることで、ピンホール部分近傍において電界が発生することが抑制される。

【0109】また好ましくは、熱酸化部は、第1絶縁膜の表面に位置する表面熱酸化部を含んでいることにより、第1導電部と第2導電部との間に第1絶縁膜に加えて表面熱酸化部が位置することになり、第1導電部と第2導電部との絶縁耐性がさらに向上して、両者の電気的な短絡をより確実に阻止することができる。

【0110】好ましくは、第1導電部はゲート電極を含み、第2導電部はピットラインコンタクト部を含んでいることで、この場合には、たとえばDRAMなどのメモリ素子を有する半導体装置の電気的動作の安定性が向上する。

【0111】より具体的な膜種として、第1絶縁膜はシリコン窒化膜であり、第2絶縁膜はシリコン酸化膜であることで、この場合には、シリコン窒化膜を実質的にエッティングすることなくシリコン酸化膜だけをエッティングすることができ、自己整合的に容易に開口部を形成することができる。

【0112】本発明の他の局面における半導体装置の製造方法によれば、第1絶縁膜を形成する工程において、第1絶縁膜に第1導電部と第2導電部との間を空洞が実質的に貫通するのを防止する所定の処理が施される。これにより、たとえば第1絶縁膜を形成する際に生じるビ

ンホールが第1導電部と第2導電部との間を貫通するようなことが防止されて、第1導電部と第2導電部との電気的な短絡を阻止することになる。その結果、電気的動作の安定性の高い半導体装置が得られる。

【0113】好ましくは、第1絶縁膜を形成する工程は、所定の処理として第1絶縁膜を少なくとも2層形成する工程を含んでいることにより、仮に第1絶縁膜のうち1層目の層にピンホールが生じたとしても、そのピンホールは2層目の層によって覆われることになる。これにより、第1導電部の近傍の第1絶縁膜の部分から第2導電部の近傍の第1絶縁膜の部分にまで到達するような比較的大きなピンホールの形成が抑制され、第1導電部と第2導電部との電気的な短絡を効果的に阻止することができる。

【0114】また好ましくは、第1絶縁膜を形成する工程は、所定の処理として第1絶縁膜に熱酸化処理を施すことにより熱酸化部を形成する工程を含んでいることにより、第1導電部と第2導電部との間に熱酸化部が形成されて第1導電部と第2導電部との絶縁耐性が向上し、両者の電気的な短絡を確実に阻止することができる。

【0115】さらに好ましくは、その熱酸化部を形成する工程は、第1絶縁膜を形成する際に第1絶縁膜中にピンホールが生じた場合に、そのピンホール内に熱酸化部を形成する工程を含んでいることにより、たとえばピンホールと第1導電部との間に位置する第1絶縁膜が極めて薄くなっている部分ができる、ピンホール内に熱酸化部が形成されることで、ピンホール部分近傍において電界が発生することが抑制される。

【0116】また好ましくは、熱酸化部を形成する工程は、第1絶縁膜の表面に熱酸化部を形成する工程を含んでいることにより、第1導電部と第2導電部との間に第1絶縁膜に加えて表面熱酸化部が形成されて第1導電部と第2導電部との絶縁耐性がさらに向上し、両者の電気的な短絡をより確実に阻止することができる。

【0117】さらに好ましくは、熱酸化部を形成する工程の後、表面酸化部を除去する工程を含んでいる。

【0118】熱酸化部を形成する際には、たとえば開口部の底に露出した半導体基板の表面にも表面酸化部が形成される。このような半導体基板の表面に形成された表面酸化部を除去することで、第2導電部と半導体基板との所定の電気的な接觸が可能になる。また、表面酸化部をたとえばウエットエッティングにより除去する際に、ピンホールに形成された熱酸化部が除去されることもないので、第1導電部と第2導電部との電気的な短絡を防止する効果も低下しない。

【0119】好ましくは、第1導電部を形成する工程は、ゲート電極を形成する工程を含み、第2導電部を形成する工程は、ピットラインコンタクト部を形成する工程を含んでいることにより、たとえばDRAMなどのメモリ素子を有する半導体装置の電気的動作の安定性が向上す

る。

【図120】具体的な膜種として、第1絶縁膜はシリコン空化膜であり、第2絶縁膜はシリコン酸化膜であることが好ましく、これにより、シリコン空化膜を実質的にエッティングすることなくシリコン酸化膜だけをエッティングすることができ、自己整合的に容易に開口部を形成することができる。

【図面の簡単な説明】

【図1】 本発明の実施の形態1に係る半導体装置の製造方法の一工程を示す断面図である。

【図2】 同実施の形態において、図1に示す工程の後に行われる工程を示す断面図である。

【図3】 同実施の形態において、図2に示す工程の後に行われる工程を示す断面図である。

【図4】 同実施の形態において、図3に示す工程の後に行われる工程を示す断面図である。

【図5】 同実施の形態において、図4に示す工程の後に行われる工程を示す断面図である。

【図6】 同実施の形態において、図5に示す工程の後に行われる工程を示す断面図である。

【図7】 同実施の形態において、図6に示す工程の後に行われる工程を示す断面図である。

【図8】 同実施の形態において、絶縁耐性の向上を説明するための一工程を示す断面図である。

【図9】 同実施の形態において、絶縁耐性の向上を説明するための図8に示す工程の後に行われる工程を示す断面図である。

【図10】 本発明の実施の形態2に係る半導体装置の製造方法の一工程を示す断面図である。

【図11】 同実施の形態において、図10に示す工程の後に行われる工程を示す断面図である。

【図12】 同実施の形態において、図11に示す工程の後に行われる工程を示す断面図である。

【図13】 同実施の形態において、図12に示す工程の後に行われる工程を示す断面図である。

【図14】 同実施の形態において、図13に示す工程の後に行われる工程を示す断面図である。

【図15】 同実施の形態において、図14に示す工程の後に行われる工程を示す断面図である。

【図16】 同実施の形態において、絶縁耐性の向上を説明するための一工程を示す断面図である。

【図17】 同実施の形態において、絶縁耐性の向上を説明するための図16に示す工程の後に行われる工程を示す断面図である。

【図18】 本発明の実施の形態3に係る半導体装置の製造方法の一工程を示す断面図である。

【図19】 同実施の形態において、図18に示す工程

の後に行われる工程を示す断面図である。

【図20】 同実施の形態において、図19に示す工程の後に行われる工程を示す断面図である。

【図21】 同実施の形態において、絶縁耐性の向上を説明するための一工程を示す断面図である。

【図22】 同実施の形態において、図21に示す工程の後に行われる工程を示す断面図である。

【図23】 本発明の実施の形態4に係る半導体装置の製造方法の一工程を示す断面図である。

【図24】 同実施の形態において、図23に示す工程の後に行われる工程を示す断面図である。

【図25】 同実施の形態において、図24に示す工程の後に行われる工程を示す断面図である。

【図26】 同実施の形態において、図25に示す工程の後に行われる工程を示す断面図である。

【図27】 同実施の形態において、図26に示す工程の後に行われる工程を示す断面図である。

【図28】 同実施の形態において、図27に示す工程の後に行われる工程を示す断面図である。

【図29】 同実施の形態において、図28に示す工程の後に行われる工程を示す断面図である。

【図30】 同実施の形態において、絶縁耐性の向上を説明するための一工程を示す断面図である。

【図31】 同実施の形態において、絶縁耐性の向上を説明するための図30に示す工程の後に行われる工程を示す断面図である。

【図32】 同実施の形態において、変形例に係る一工程を示す断面図である。

【図33】 本発明の実施の形態5に係る半導体装置の製造方法の一工程を示す断面図である。

【図34】 同実施の形態において、図33に示す工程の後に行われる工程を示す断面図である。

【図35】 本発明の実施の形態6に係る半導体装置の製造方法の一工程を示す断面図である。

【図36】 同実施の形態において、図35に示す工程の後に行われる工程を示す断面図である。

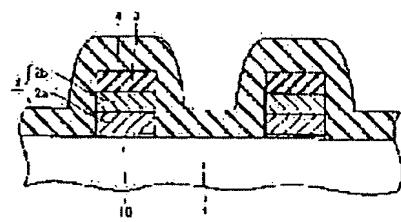
【図37】 DRAMにおけるメモリセルの等価回路を示す図である。

【図38】 従来のDRAMの一断面図である。

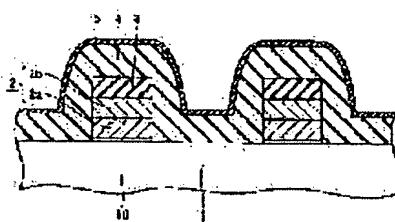
【符号の説明】

- 1 半導体基板、2a ポリシリコン膜、2b タングステンシリサイド膜、2c ゲート電極、3、4、4a、4b シリコン空化膜、5、5a、9、9b シリコン酸化膜、10 ゲート絶縁膜、11、11a、11b ピンホール、20 ピットラインコントローラ部、21 ピットライン。

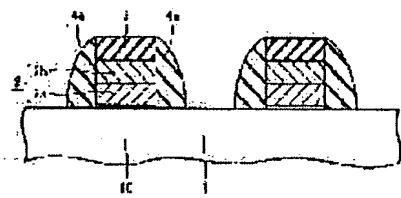
(図 1)



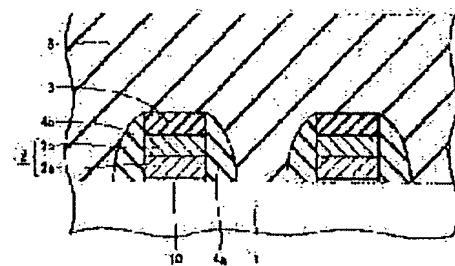
(図 2)



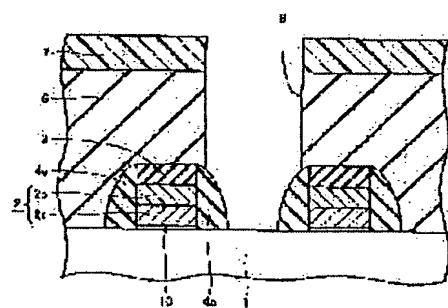
(図 3)



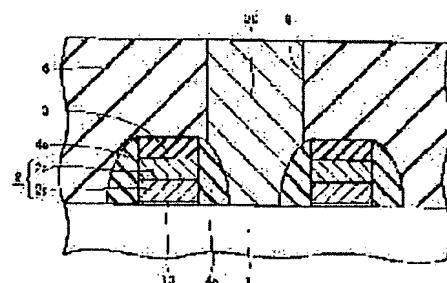
(図 4)



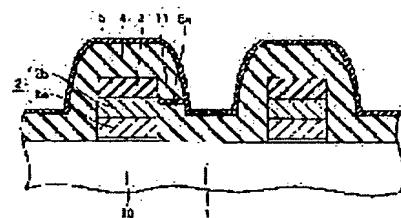
(図 5)



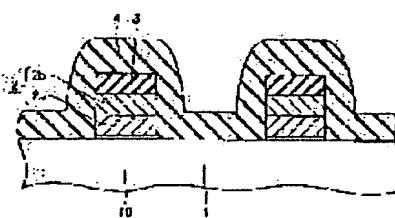
(図 6)



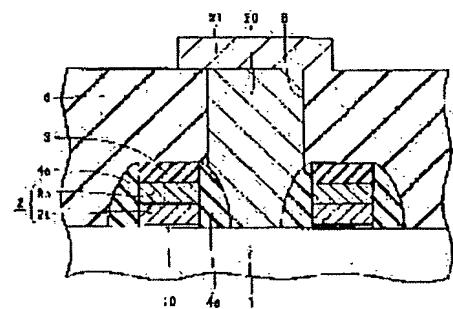
(図 8)



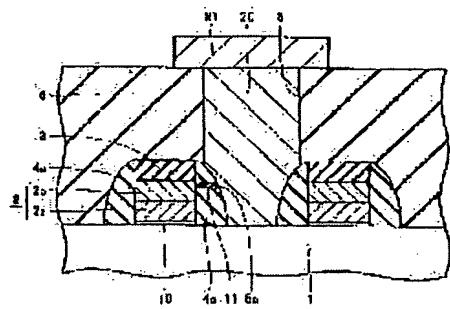
(図 10)



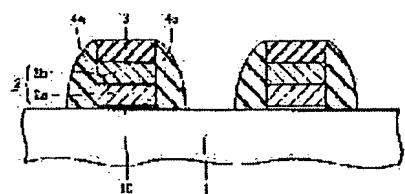
【図 7】



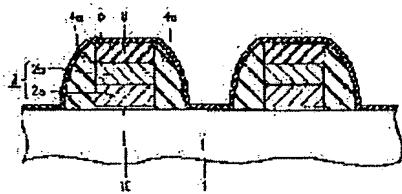
【図 9】



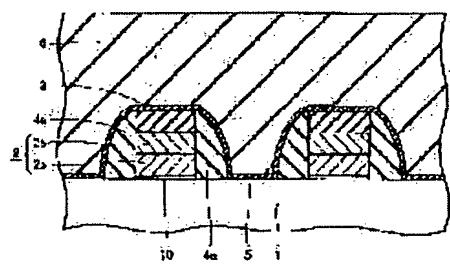
【図 11】



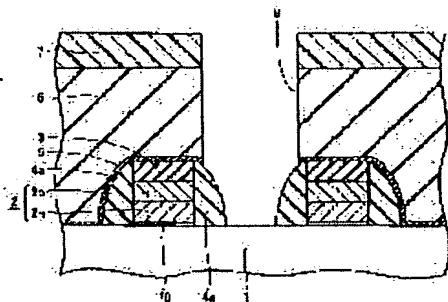
【図 12】



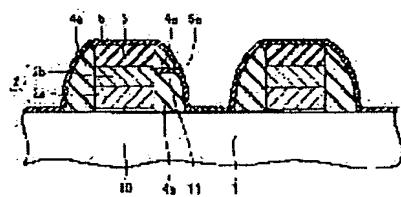
【図 13】



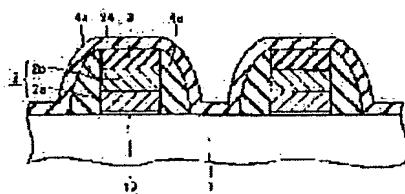
【図 14】



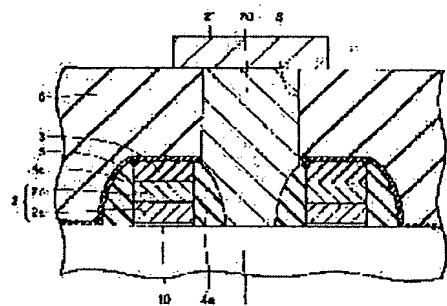
【図 16】



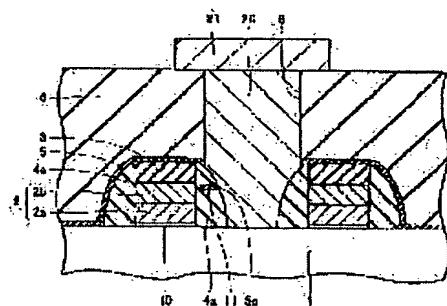
【図 18】



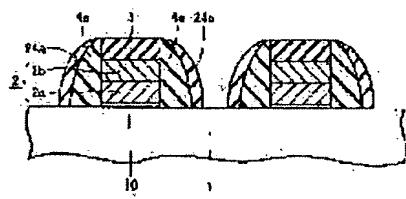
[図 15]



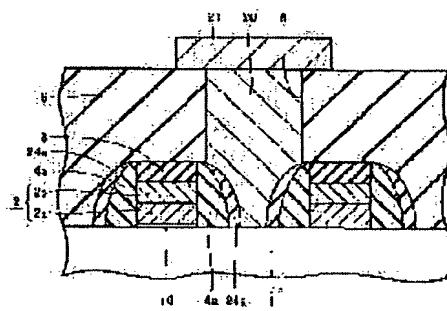
[図 17]



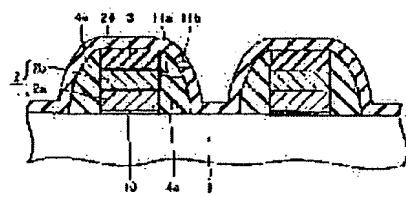
[図 19]



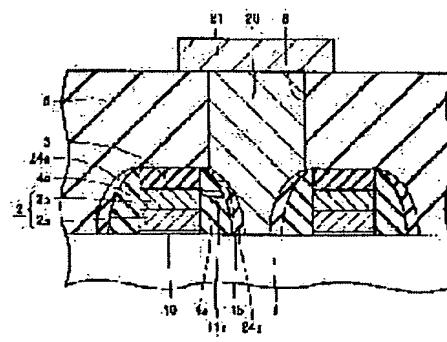
[図 20]



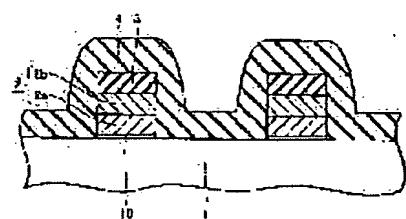
[図 21]



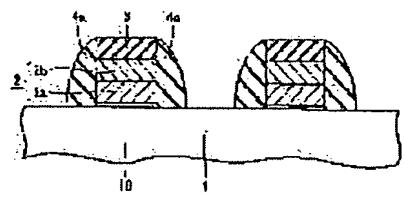
[図 22]



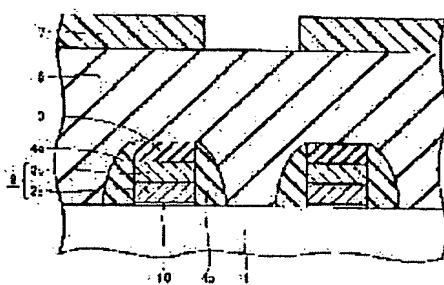
[図 23]



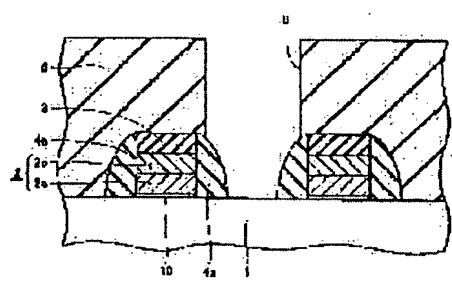
【図24】



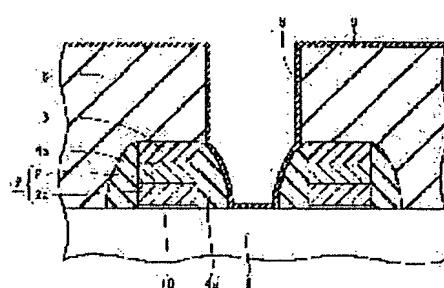
【図25】



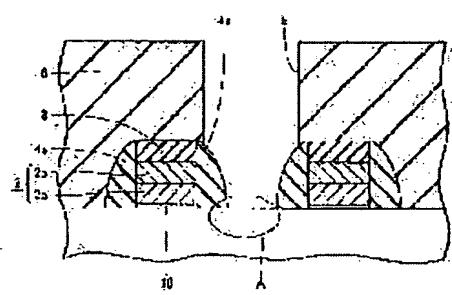
【図26】



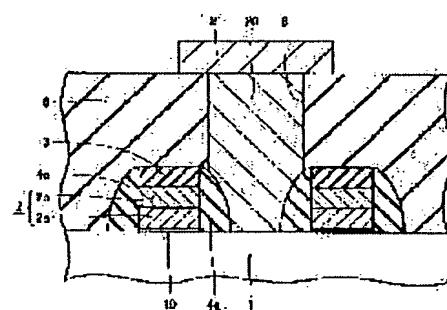
【図27】



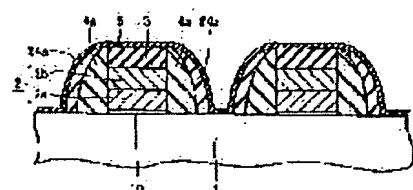
【図28】



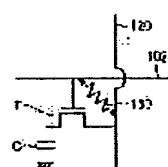
【図29】



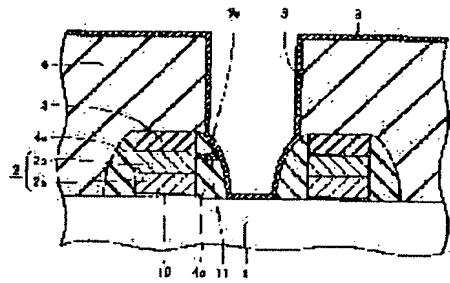
【図30】



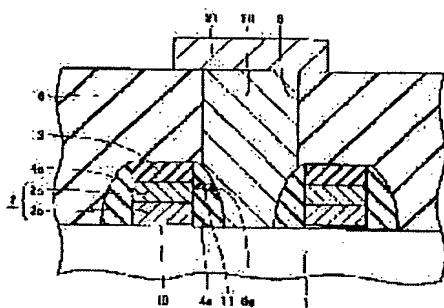
【図37】



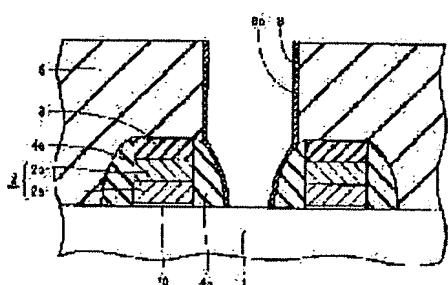
[図3-0]



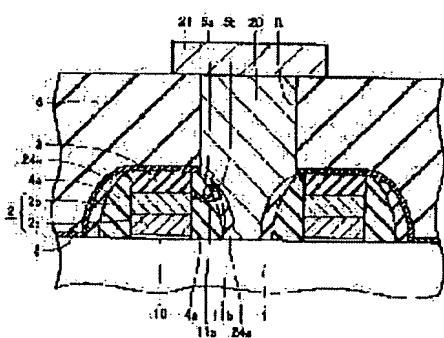
[図3-1]



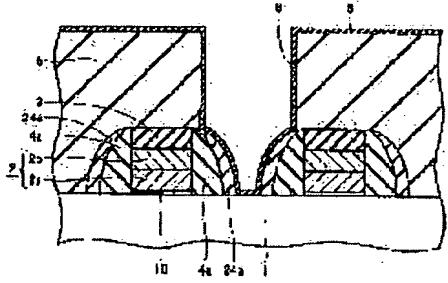
[図3-2]



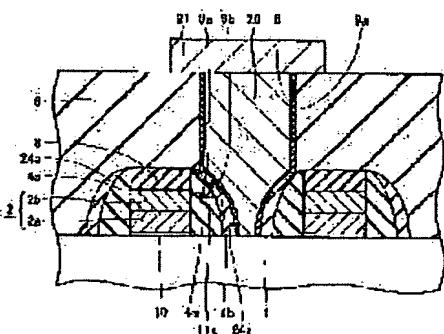
[図3-4]



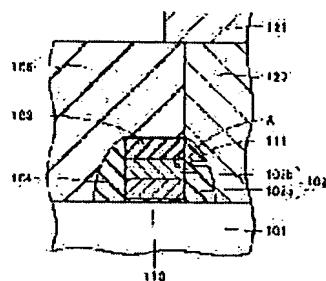
[図3-5]



[図3-6]



【図3.8】



フロントページの続き。

Fターム(参考) 4M104 AA01 BB01 BB40 CC01 CC05
DD02 DD04 DD08 DD09 DD16
DD17 DD19 DD55 DD65 DD66
DD71 EE08 EE09 EE12 EE14
EE15 EE17 FF14 GG16 HH12
HH14 HH20
SF033 HH04 HH07 HH28 JJ04 KK01
LL04 MM07 MM15 NN40 PP08
QQ08 QQ09 QQ10 QQ16 QQ19
QQ28 QQ31 QQ37 QQ59 QQ65
QQ74 QQ76 RR04 RR06 RR15
SS04 SS11 TT02 TT08 VV16
XX01 XX03 XX15 XX31
SF083 AD21 GA27 JA35 JA39 JA53
MA03 MA20 PR03 PR05 PR12

**This Page is Inserted by IFW Indexing and Scanning
Operations and is not part of the Official Record**

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

- BLACK BORDERS**
- IMAGE CUT OFF AT TOP, BOTTOM OR SIDES**
- FADED TEXT OR DRAWING**
- BLURRED OR ILLEGIBLE TEXT OR DRAWING**
- SKEWED/SLANTED IMAGES**
- COLOR OR BLACK AND WHITE PHOTOGRAPHS**
- GRAY SCALE DOCUMENTS**
- LINES OR MARKS ON ORIGINAL DOCUMENT**
- REFERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY**
- OTHER:** _____

IMAGES ARE BEST AVAILABLE COPY.

As rescanning these documents will not correct the image problems checked, please do not report these problems to the IFW Image Problem Mailbox.